

CLIPPEDIMAGE= JP356153840A
PAT-NO: JP356153840A
DOCUMENT-IDENTIFIER: JP 56153840 A
TITLE: TERNARY LEVEL INPUT CIRCUIT

PUBN-DATE: November 28, 1981

INVENTOR-INFORMATION:

NAME

KAWAZOE, AKIO

TADOKORO, KENJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

N/A

APPL-NO: JP55055487

APPL-DATE: April 28, 1980

INT-CL_(IPC): H03K019/20; H03K019/094

US-CL-CURRENT: 326/59,708/230

ABSTRACT:

PURPOSE: To obtain a low-power consumption circuit adapted to the IC, by constituting a comparator with the P channel MOS.FET having the first threshold level and the N channel MOS.FET having the second threshold level.

CONSTITUTION: The input signal is supplied from terminal 3 through setting switch 1 and is supplied to gates of FETs of comparators CMP5 and CMP6. CMPs 5 and 6 consists of P channel MOS.FET14 and N channel MOS.FET15, respectively, and bias voltages are supplied to gates of respective MOSs from the connection point of resistances $RB_{<SB>1</SB>}$ and $RB_{<SB>2</SB>}$ of the same value which are connected between power source voltage VDD and the earth. Outputs 7 and 8 of CMPs 5 and 6 are input to decoder 9, and the signal of a ternary level is outputted to output lines 10~12 from decoder 9. CMP5 has a threshold value higher than $1/2 VDD$, and CMP6 has a threshold level lower than it. Output 7 and 8 of CMPs 5 and 6 become L or H-level as shown in the table in accordance with the position of the movable terminal of switch 1, and the H or L-level signal is outputted to output lines 10~12 on the basis of these output levels.

COPYRIGHT: (C)1981,JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56-153840

⑪ Int. Cl.³

H 03 K 19/20
19/094

識別記号

1 0 1

庁内整理番号

6341-5 J
6341-5 J

⑬ 公開 昭和56年(1981)11月28日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 3 値レベル入力回路

① 特 願 昭55-55487

② 出 願 昭55(1980)4月28日

③ 発 明 者 河添秋雄
東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

④ 発 明 者 田所健司

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑤ 出 願 人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12
号

⑥ 代 理 人 弁理士 菊池弘

明 細 書

1 発明の名称

3 値レベル入力回路

2 特許請求の範囲

ゲートが入力端子に接続されソースを電源に接続するとともにドレインを抵抗を介してアースに接続し、上記入力端子の電圧が第1のスレッショルド電圧より大のときオフで出力が「L」となりかつ入力端子の電圧が第1のスレッショルド電圧より小のときオンとなつて出力が「H」となるPチャンネルのMOSFETを有する第1のコンパレータと、ゲートが上記入力端子に接続されドレインが抵抗を介して上記電源に接続されるとともにソースがアースされ上記入力端子の電圧が第2のスレッショルド電圧より大のときオンとなつて出力が「L」となりかつ入力端子の電圧がこの第2のスレッショルド電圧より小のときオフとなつて出力が「H」となるNチャンネルのMOSFETを有する第2のコンパレータと、上記第1および第2のコンパレータの出力を入力してアコードし3個の出力

端より出力を取り出すアコードとよりなる3値レベル入力回路。

3 発明の詳細な説明

この発明は、CMOSICの入力回路を簡単な回路構成で、しかも低消費電力とすることができるようにした3値レベル入力回路に関する。

従来、3値レベル入力回路としては第1図に示すとき回路が使用されている。この第1図における1は設定用スイッチであり、2はバイアス抵抗、3は入力端子である。バイアス抵抗2は抵抗RB1、RB2(RB1=RB2)を直列にして、電源VDDとアース間に接続され、抵抗RB1とRB2との接続点に入力端子3が接続されているとともに、この接続点はコンパレータ5、6の反転入力端に接続されている。

また、4は基準電圧供給用抵抗であり、抵抗R1~R3(R1=R2=R3)が直列に接続されて、電源VDDとアース間に接続されている。抵抗R1とR2との接続点はコンパレータ5の非反転入力端に接続され、抵抗R2とR3との接続点はコン

パレータ6の非反転入力端に接続されている。

コンパレータ5の出力7およびコンパレータ6の出力8はデコーダ回路9に送られ、デコーダ回路9の出力端10~12より出力が取り出されるようになっている。

次に、この第1図の3値レベル入力回路の動作について第2図のタイムチャートを併用して説明する。バイアス基準電圧供給用抵抗4の抵抗R1~R3により、コンパレータ5、6の非反転入力端(+入力端)に、第2図(c)、(d)に示すように、それぞれ $V_1 = 2/3 \cdot V_{DD}$ 、 $V_2 = 1/3 \cdot V_{DD}$ の電圧が供給されている。

いま、設定スイッチ1の可動端子をH位置側にすると、入力端子3には第2図(b)に示すように、電圧 V_{DD} が入力され、この電圧 V_{DD} はコンパレータ5、6の反転入力端(-入力端)に入力される。このときの入力電圧 V_{DD} のレベルは第2図(b)~第2図(d)より明らかなごとく、 V_1 、 V_2 よりも高いので、第2図(i)に示すコンパレータ5の出力7および第2図(j)に示すコンパレータ6の出力8はとも

に「L」となり、デコーダ9の出力端10の出力は第2図(h)に示すように、「H」となり、出力端11、12の出力はともに第2図(i)、第2図(j)に示すごとく「L」となる。

次に、設定スイッチ1の可動端子をM位置にすると、入力端子3は二つのバイアス抵抗RB1、RB2により $1/2 \cdot V_{DD}$ の電圧となる。このとき、コンパレータ5の出力7は「H」、コンパレータ6の出力8は「L」となり、デコーダ9の出力端11が「H」レベルで、出力端11と12の出力はともに「L」となる。

次に、設定スイッチ1の可動端子がL位置にあるときは、入力端子3は第2図(e)に示すときアース電位となり、コンパレータ5と6の基準電圧 V_1 と V_2 より低いので、コンパレータ5と6の出力7と8はともに「H」となり、デコーダ9の出力端10と11の出力はともに「L」、出力端12の出力は「H」となる。

この第1図のコンパレータ5と6に使用する回路例は第3図に示すごとくである。この第3図に

N₁はN+チャンネルのMOSFET、
おけるPはPチャンネルのMOSFET、(以下、MOSトランジスタと云う)である。この第1図の3値レベル入力回路では、入力電圧の判定精度は高いが、コンパレータ5、6の回路に多くのMOSトランジスタを必要とすること、電源電圧 V_{DD} が低いとコンパレータそのものが動作しなくなると云う欠点がある。加えて、常時、二つのバイアス抵抗RB1、RB2と基準電圧供給用抵抗4、コンパレータ5、6に電流が流れるので、パワーをある程度以下にはできなく、バッテリーによる動作には問題がある。

この発明は、上記従来の欠点を除去するためになされたもので、簡単な回路構成でIC化に適し、一般のデジタル回路に採用できるとともに、ICのパッケージのピン数の削減と低消費電力化を有することのできる3値レベル入力回路を提供することを目的とする。

以下、この発明の3値レベル入力回路の実施例について図面に基づき説明する。第4図はその一実施例の構成を示す回路図である。この第4図に

おいて、第1図と同一部分には同一符号を付して述べることにする。設定用スイッチ1は第1図の場合と同様にして、可動端子と3つの固定端子、すなわち、H位置、M位置、L位置の固定端子を有している。

この設定スイッチ1のM位置は非接続状態であり、H位置には電源 V_{DD} の電圧が印加され、L位置はアースされている。設定スイッチ1の可動端子は入力端子3に接続されている。この入力端子3はバイアス抵抗2の抵抗RB1とRB2との接続点に接続されている。抵抗RB1とRB2 ($RB1 = RB2$) とを直列にして、その一端には電源 V_{DD} の電圧が印加され、他端はアースされている。かくして、抵抗RB1、RB2とによりバイアス抵抗2が構成されている。

上記入力端子3にはコンパレータ5のPチャンネルのMOSトランジスタ14のゲートが接続されており、そのソースは電源 V_{DD} に接続され、ドレインは抵抗16を介してアースされている。かくして、コンパレータ5が構成されている。同

據にして、コンパレータ6のNチャンネルのMOSトランジスタ15のゲートは上記入力端子3に接続されている。MOSトランジスタ15のソースはアースされ、ドレインは抵抗17を介して電源 V_{DD} に接続されている。

コンパレータ5の出力はMOSトランジスタ14のドレインよりデコード9に入力されるようになっている。コンパレータ6の出力8はMOSトランジスタ15のドレインよりデコード9に入力されるようになっている。デコード9は3個の出力端10～12より出力を取り出すようになっている。

次に、以上のように構成されたこの発明の3値レベル入力回路の動作について第5図のタイムチャートを併用して述べる。第5図(c)の V_1 はMOSトランジスタ14のスレッショルド電圧で、入力端子3の入力電圧 V_{in} (第5図(a))がスレッショルド電圧 V_1 よりも高くなると、MOSトランジスタ14はオフとなり、コンパレータ5の出力7は第5図(f)に示すごとく「L」となる。

V_{DD} の電圧となり、コンパレータ5と6の出力7, 8はともに「L」となり、デコード9の出力端10の出力は「H」(第5図(h))となり、デコード9の出力端11と12の出力は「L」となる。

次に、設定スイッチ1の可動端子がM位置にあるとき、入力端子3の入力電圧 V_{in} は $\frac{1}{2}V_{DD}$ 電圧となるので、コンパレータ5の出力7は「H」で、コンパレータ6の出力8は「L」となり、デコード9の出力端11の出力は「H」で、デコード9の出力端10と12の出力は「L」となる。

さらに設定スイッチ1の可動端子がL位置にあるとき、入力端子3の入力電圧 V_{in} はグラウンド電圧となるので、コンパレータ5の出力7は「H」、コンパレータ6の出力8は「H」となり、デコード9の出力端12が「H」で、出力端10と11の出力は「L」となる。

次の第1表は第4図のこの発明の実施例の入力とコンパレータの出力、デコードの出力の関係の真理値表を示す。

逆に、入力電圧 V_{in} がスレッショルド電圧 V_1 より低くなると、MOSトランジスタ14はオンとなり、コンパレータ5の出力7は「H」となる。

一方、第5図(d)に示す V_2 はコンパレータ6のMOSトランジスタ15のスレッショルド電圧で、入力端子3の入力電圧 V_{in} がこのスレッショルド電圧 V_2 より高くなると、MOSトランジスタ15はオンとなり、コンパレータ6の出力8は「L」となる(第5図(g))。

これとは逆に、入力電圧 V_{in} がスレッショルド電圧 V_2 より低くなると、MOSトランジスタ15はオフとなり、コンパレータ6の出力8は「H」となる(第5図(g))。

なお、第5図(b)は電源 V_{DD} のレベルを示し、第5図(e)はグラウンド(アース)レベルを表わしている。そして、第5図(h)～第5図(j)はそれぞれデコード9の出力端10～12の出力を示している。

次に、この発明の全体の動作について説明する。いま、設定スイッチ1の可動端子がH位置にあるとき、入力端子3における入力電圧 V_{in} は電源

< 第 1 表 >

設 定 スイッチ	入力電圧 V_{in}	コンパレータ出力		デコード出力		
		7	8	10	11	12
H	V_{DD}	L	L	H	L	L
M	$\frac{1}{2}V_{DD}$	H	L	L	H	L
L	GND	H	H	L	L	H

ところで、近年、ICの集積度の向上によつて、1パッケージ内(1チップ上)に多機能の回路を集積できるようになっているが、ICの設計に際して、ICのコスト低減と、パッケージの外形寸法の小形化のために、パッケージのピン数を少なく設計することが設計者の重要な任務となつている。

いま、あるICの設定入力が2ピンあつたとすると、3値レベル入力回路を使用すると最大組合せ数は9通りとれる。この9通りの組合せを従来の2進法(2値レベル)の入力回路で実現するには入力は4ピン必要である。したがつて、3値レベル入力回路を用いると、2ピン削減できること

になる。

以上詳述したように、この発明の3値レベル入力回路によれば、PチャネルのMOSトランジスタのソースを電源側に接続し、ドレインを抵抗を介してアースに接続して第1のコンパレータを構成するとともに、NチャネルのMOSトランジスタのドレインは抵抗を介して電源に接続し、ソースをアースに接続して第2のコンパレータを接続し、両MOSトランジスタのゲートに入力電圧を加え、この入力電圧がPチャネルのMOSトランジスタのスレッショルド電圧以下でオンとなり、「H」の出力を発生させ、かつ入力電圧がNチャネルのMOSトランジスタのスレッショルド電圧以上でオンとなつて「L」の出力を発生するように、両コンパレータの出力を3個の出力端を有するデコーダでデコードするようにしたので、きわめて簡単な回路構成とすることができ、しかもコンパレータ回路を構成しているMOSトランジスタと抵抗はCMOS一般のデジタル回路に使用する構造と同一でよく、IC化に適している。

これにともない、CMOSのデジタルI/Oに適用でき、パッケージのピン数の削減に有効である。

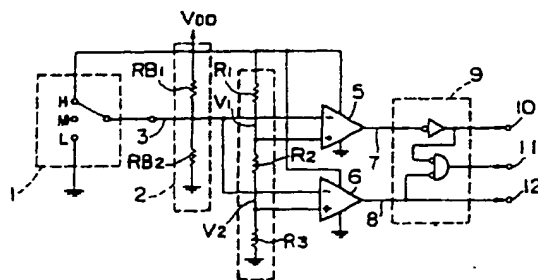
4. 図面の簡単な説明

第1図は従来の3値レベル入力回路の回路図、第2図(a)ないし第2図(j)はそれぞれ第1図の3値レベル入力回路の動作を説明するためのタイムチャート、第3図は第1図の3値レベル入力回路におけるコンパレータの回路例を示す回路図、第4図はこの発明の3値レベル入力回路の一実施例の回路図、第5図(a)ないし第5図(j)はそれぞれこの発明の3値レベル入力回路の動作を説明するためのタイムチャートである。

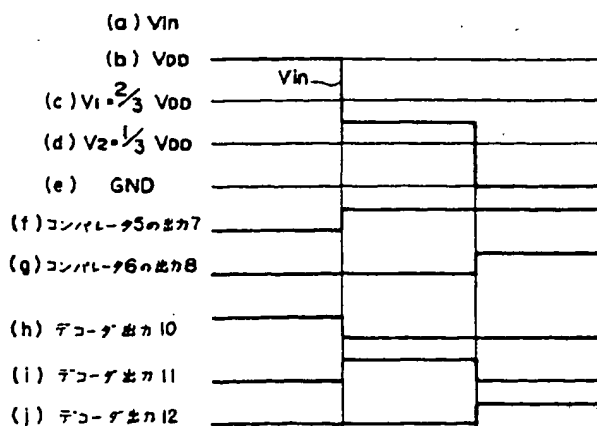
1…設定スイッチ、2…バイアス抵抗、3…入力端子、5, 6…コンパレータ、9…デコーダ、10～12…出力端、14, 15…MOSトランジスタ。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘

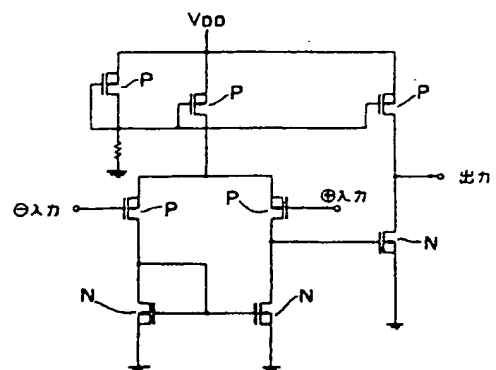
第1図



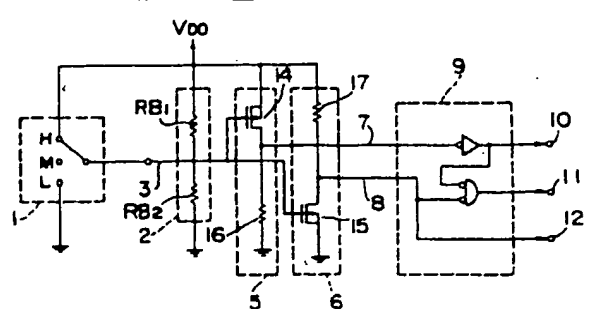
第2図



第3図



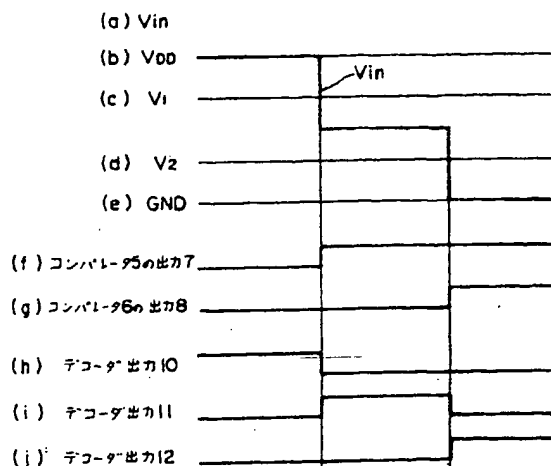
第4図



手 続 補 正 書

昭和 55 年 8 月 29 日

第 5 図



特許庁長官 川 原 能 雄 殿

1. 事件の表示

昭和 55 年 特 許 願 第 5 5 4 8 7 号

2. 発明の名称

3 値レベル入力回路

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 神 電 気 工 業 株 式 会 社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第19番特許

弁護士 菊 池

コード第6568号 電話 591-3065・501-2453

5. 補正命令の日付 昭和 年 月 日 (自発的)

6. 補正の対象

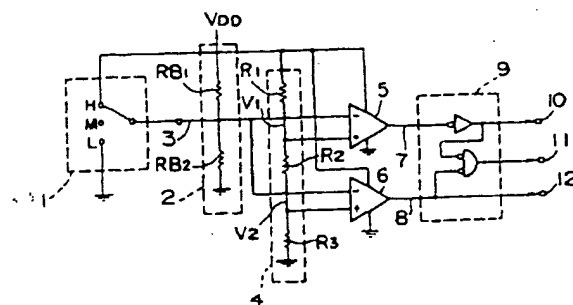
図面の一部

7. 補正の内容

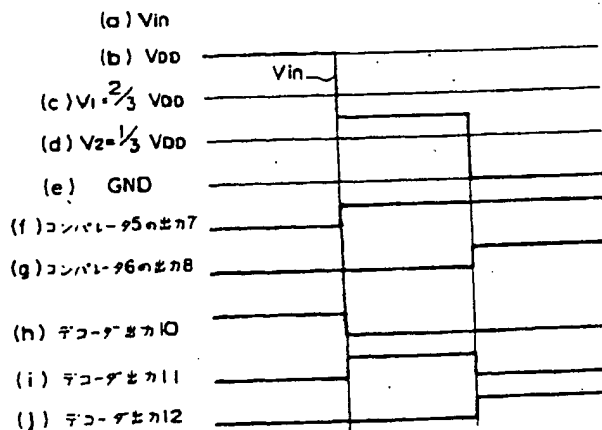
~~別紙の通り~~

(1) 図面第1図に別紙朱書きのように符号「4」を追加する。

第 1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.